

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-273342

(43)Date of publication of application : 26.09.2003

(51)Int.Cl.

H01L 27/146

H04N 5/335

(21)Application number : 2002-067861

(71)Applicant : SONY CORP

(22)Date of filing : 13.03.2002

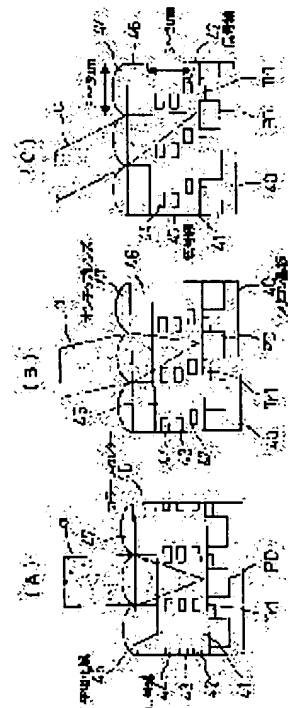
(72)Inventor : MIYATA KOJI

(54) SOLID-STATE IMAGE SENSING ELEMENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve photosensitivity in an area near a peripheral part of an imaging region by restraining irregular reflection of incident light by an upper layer multilayer signal line of a photoelectric conversion means in two-dimensional array.

SOLUTION: Three layers of signal lines 42, 43, and 44 are disposed in an upper part of a silicon substrate 40 provided with a photodiode PD, an MOS gate or the like via an insulation layer 41, and a color filter 46 and an on-chip lens 47, are provided in an upper part thereof. The signal lines 42, 43, and 44 are disposed so as to avoid above the photodiode PD in a picture element near a central part of an imaging region. The signal lines 42, 43, and 44 of a picture element are disposed in an incident direction of light when compared to a picture element near a central part as they come close to a peripheral part of an imaging region, thus bringing oblique incident light to a picture element up to the photodiode PD as much as possible.



LEGAL STATUS

[Date of request for examination]

11.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

REST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-273342
(P2003-273342A)

(43) 公開日 平成15年9月26日 (2003.9.26)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 27/146		H 0 4 N 5/335	U 4 M 1 1 8
H 0 4 N 5/335		H 0 1 L 27/14	A 5 C 0 2 4

審査請求 未請求 請求項の数26 O L (全 12 頁)

(21) 出願番号 特願2002-67861(P2002-67861)

(22) 出願日 平成14年3月13日 (2002.3.13)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 宮田 幸児

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100089875

弁理士 野田 茂

Fターム(参考) 4M118 AA05 AB01 BA14 CA02 CA09

CA12 FA01 FA06 FA34 FA42

GB11 GB15 GC07 GD04 GD07

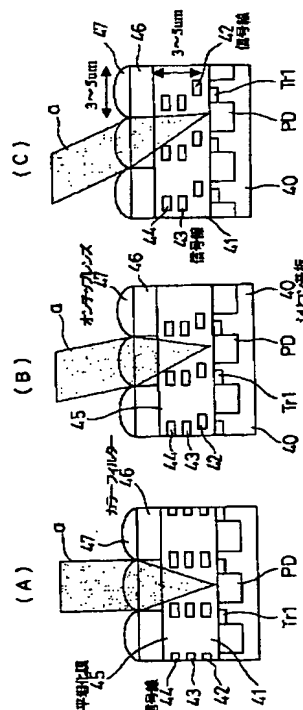
5C024 CX01 CX41 EX43 GY01 GY31

(54) 【発明の名称】 固体撮像素子及びその製造方法

(57) 【要約】

【課題】 2次元配列された光電変換手段の上層多層信号線による入射光の乱反射を抑え、撮像領域の周辺部近傍における受光感度の改善を図る。

【解決手段】 フォトダイオードPDやMOSゲート等を設けたシリコン基板40の上部に、絶縁層41を介して3層の信号線42、43、44が配置され、その上部にカラーフィルタ46、オンチップレンズ47が設けられている。そして、撮像領域の中心部近傍の画素では、フォトダイオードPDの上方を避けるように信号線42、43、44を配置する。また、撮像領域の周辺部に近づくにつれて、画素の信号線42、43、44を中心部近傍の画素に比べて光が入射してくる方向に配置し、画素への斜め入射光をできる限り多くフォトダイオードPDに到達させる。



【特許請求の範囲】

【請求項 1】 半導体基板に光電変換素子とゲート素子を含む複数の単位画素を 2 次元アレイ状に配列した撮像領域を設けるとともに、前記半導体基板上に各単位画素の受光用開口部を避ける状態で単位画素の行方向、または列方向、または格子状に複数層の信号線を配置した固体撮像素子において、前記撮像領域の中心部から周辺部に行くに従って前記各単位画素に対する前記信号線の相対位置が撮像領域の中心に近づく方向にずれている、

ことを特徴とする固体撮像素子。

【請求項 2】 前記半導体基板および複数層の信号線がそれぞれ絶縁膜を介して配置されていることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】 前記ゲート素子と前記信号線がビアコンタクトを介して接続されていることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 4】 前記ゲート素子と前記信号線がビアコンタクトおよび配線素片を介して接続されていることを特徴とする請求項 3 記載の固体撮像素子。

【請求項 5】 前記ビアコンタクトは、前記信号線の相対位置がずれた方向に長径断面を有して形成され、前記ビアコンタクトの長径断面により、相対位置のずれた信号線とビアコンタクトとが接触していることを特徴とする請求項 3 記載の固体撮像素子。

【請求項 6】 前記配線素片は、前記信号線の相対位置がずれた方向に長尺に形成され、前記長尺の配線素片により、相対位置のずれた信号線と配線素片とが接触し、前記配線素片を介して信号線とビアコンタクトが接続されていることを特徴とする請求項 4 記載の固体撮像素子。

【請求項 7】 前記ビアコンタクトと信号線とを接続する配線素片の形状が撮像領域の中心部から周辺部に行くに従って徐々に変化していることを特徴とする請求項 6 記載の固体撮像素子。

【請求項 8】 マスク描画機による描画グリッドに対し、前記信号線は画素一辺の長さの 0.5% 以下の描画グリッドに配置され、隣接した信号線間隔の差が 1 描画グリッド以下であることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 9】 全ての配線層が素子分離領域、ゲート層、バルクコンタクトのいずれかに対する位置合わせマークを備えていることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 10】 前記撮像領域の少なくとも一辺に沿って、単位画素行または単位画素列に対応して配置され、単位画素行または単位画素列から導かれる信号線に接続される周辺回路を有し、単位画素行または単位画素列から導かれる信号線と前記周辺回路内の信号線とが配線素片を介して接続されていることを特徴とする請求項 1 記

載の固体撮像素子。

【請求項 11】 前記複数層の信号線のずれ量が上層に行くほど大きくなっていることを特徴とする請求項 10 記載の固体撮像素子。

【請求項 12】 前記複数層の信号線の上層にオンチップレンズとカラーフィルタの少なくとも 1 つを含む上部積層物を有し、前記撮像領域の中心部から周辺部に行くに従って前記各単位画素に対する前記上部積層物の相対位置が撮像領域の中心に近づく方向にずれていることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 13】 前記上部積層物のずれ量が上層に行くほど大きくなっていることを特徴とする請求項 12 記載の固体撮像素子。

【請求項 14】 前記各単位画素に対応する受光用開口部を有する遮光膜を有し、前記撮像領域の中心部から周辺部に行くに従って前記各単位画素に対する前記遮光膜の受光用開口部の相対位置が撮像領域の中心に近づく方向にずれていることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 15】 前記複数層の信号線と遮光膜の受光用開口部のずれ量が上層に行くほど大きくなっていることを特徴とする請求項 14 記載の固体撮像素子。

【請求項 16】 半導体基板に光電変換素子とゲート素子を含む複数の単位画素を 2 次元アレイ状に配列した撮像領域を設けるとともに、前記半導体基板上に各単位画素の受光用開口部を避ける状態で単位画素の行方向、または列方向、または格子状に複数層の信号線を配置した固体撮像素子の製造方法において、

前記複数層の信号線を形成する場合に、前記撮像領域の中心部から周辺部に行くに従って前記各単位画素に対する前記信号線の相対位置を撮像領域の中心に近づく方向にずらして形成する、

ことを特徴とする固体撮像素子の製造方法。

【請求項 17】 前記複数層の信号線を形成するマスクパターンをマスク描画機によって形成する場合に、前記マスク描画機による描画グリッドに対し、前記信号線は画素一辺の長さの 0.5% 以下の描画グリッドに配置し、隣接した信号線間隔の差を 1 描画グリッド以下とすることを特徴とする請求項 16 記載の固体撮像素子の製造方法。

【請求項 18】 全ての配線層が素子分離領域、ゲート層、バルクコンタクトのいずれかに対する位置合わせマークを備え、前記位置合わせマークを基準として各配線層の位置合わせを行うことを特徴とする請求項 16 記載の固体撮像素子の製造方法。

【請求項 19】 前記複数層の信号線のずれ量を上層に行くほど大きくしたことを特徴とする請求項 16 記載の固体撮像素子。

【請求項 20】 半導体基板に光電変換素子とゲート素子を含む複数の単位画素を 2 次元アレイ状に配列した撮

像領域を設けるとともに、前記半導体基板上に各単位画素の受光用開口部を避ける状態で単位画素の行方向、または列方向、または格子状に複数層の信号線を配置した固体撮像素子を搭載した携帯機器において、前記固体撮像素子は、その撮像領域の中心部から周辺部に行くに従って前記各単位画素に対する前記信号線の相対位置が撮像領域の中心に近づく方向にずれている、ことを特徴とする携帯機器。

【請求項 21】 前記固体撮像素子は、撮像領域の少なくとも一辺に沿って、単位画素行または単位画素列に対応して配置され、単位画素行または単位画素列から導かれる信号線に接続される周辺回路を有し、単位画素行または単位画素列から導かれる信号線と前記周辺回路内の信号線とが配線素片を介して接続されていることを特徴とする請求項 21 記載の携帯機器。

【請求項 22】 前記固体撮像素子は、前記複数層の信号線のずれ量が上層に行くほど大きくなっていることを特徴とする請求項 21 記載の携帯機器。

【請求項 23】 前記固体撮像素子は、前記複数層の信号線の上層にオンチップレンズとカラーフィルタの少なくとも 1 つを含む上部積層物を有し、前記撮像領域の中心部から周辺部に行くに従って前記各単位画素に対する前記上部積層物の相対位置が撮像領域の中心に近づく方向にずれていることを特徴とする請求項 21 記載の携帯機器。

【請求項 24】 前記上部積層物のずれ量が上層に行くほど大きくなっていることを特徴とする請求項 24 記載の携帯機器。

【請求項 25】 前記固体撮像素子は、前記各単位画素に対応する受光用開口部を有する遮光膜を有し、前記撮像領域の中心部から周辺部に行くに従って前記各単位画素に対する前記遮光膜の受光用開口部の相対位置が撮像領域の中心に近づく方向にずれていることを特徴とする請求項 21 記載の携帯機器。

【請求項 26】 前記複数層の信号線と遮光膜の受光用開口部のずれ量が上層に行くほど大きくなっていることを特徴とする請求項 26 記載の携帯機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光電変換手段等を含む複数の単位画素が 2 次元配列された撮像領域を有する固体撮像素子及びその製造方法に関する。

【0002】

【従来の技術】近年、ビデオカメラや電子カメラが広く普及しており、これらのカメラには、CCD 型や増幅型の固体撮像素子が使用されている。これらの固体撮像素子は、それぞれ光電変換手段（フォトダイオード；PD）を設けた複数の単位画素が撮像領域内に 2 次元配列のレイアウトに配置されたものである。そして、CCD 型固体撮像素子では、各単位画素に入射した光をフォトダ

イオードによって光電変換して信号電荷を生成し、この信号電荷を垂直 CCD 転送レジスタおよび水平 CCD 転送レジスタを介して出力部に設けたフローティングデフュージョン（FD）部に転送する。そして、この FD 部の電位変動を MOS トランジスタによって検出し、これを電気信号に変換、増幅することにより、撮像信号として出力する。

【0003】一方、増幅型固体撮像素子（CMOS イメージセンサ）では、各単位画素内に FD 部や転送、増幅等の各種 MOS トランジスタを有し、各単位画素に入射した光をフォトダイオードによって光電変換して信号電荷を生成し、この信号電荷を転送トランジスタによって FD 部に転送し、この FD 部の電位変動を増幅トランジスタによって検出し、これを電気信号に変換、増幅することにより、各画素毎の信号を信号線より出力する。

【0004】ところで、近年では、携帯電話などのモバイル機器へのカメラ機能搭載の目的から、撮像素子の小型化、省電力化に対する要求が強まっている。このような要求に応えるためには、CCD 型の固体撮像素子よりも低電圧で動作可能であり、また、複雑な信号処理機能も容易にワンチップ化できる増幅型固体撮像素子（CMOS イメージセンサ）が適している。そして、このような増幅型固体撮像素子のうち、現時点では最も小型の画素を有する構成としては、図 10 に示すような画素構造を有するものが提案されている（例えば、「Dun-Nian Y aung, Shou-Gwo Wu, Yean-Kuen Fang et al., "Nonsilicide source/drain pixel for 0.25um CMOS image sensor" IEEE Electron Device Letters, Vol.22, No.2, p p.71-73, February 2001」参照）。

【0005】以下、この従来例について、図 10 を参照して説明する。図 10 は、 $2 \times 2 = 4$ 画素分の構成を示しており、各単位画素は、シリコン基板には p 型拡散層と n 型拡散層からなるフォトダイオード PD と、このフォトダイオード PD で光電変換された信号電荷を電圧信号に変換して出力するための 4 つの MOS トランジスタ $T_{r1} \sim T_{r4}$ を設けたものである。すなわち、読み出しトランジスタ T_{r1} は、読み出しパルスに基づいてフォトダイオード PD で生成された信号電荷を読み出して増幅トランジスタ T_{r2} にゲートに接続された FD 部に転送するものであり、増幅トランジスタ T_{r2} は、FD 部の電位変動を対応して電圧信号（画素信号）を出力するものである。また、垂直選択（アドレス）トランジスタ T_{r3} は、アドレスパルスに基づいて画素信号を読み出す水平ライン（画素行）を垂直方向に順次選択するためのものであり、リセットトランジスタ T_{r4} は、リセットパルスに基づいて FD 部の電位を電源電位にリセットするものである。

【0006】また、水平アドレス信号線 11 は、垂直選択トランジスタ T_{r3} のゲートに結線され、垂直選択トランジスタ T_{r3} によって信号を読み出す水平ラインを

選択するものであり、リセット線 12 はリセットトランジスタ T_{r4} のゲートに結線され、リセットトランジスタ T_{r4} によって FD 部の電位をリセットするものである。また、垂直信号線 13 は、増幅トランジスタ T_{r2} のソースに結線され、増幅トランジスタ T_{r2} から出力された画素信号を画素部の外部に出力するものであり、定電流源 14 は、各画素に駆動電流を供給しており、図では省略しているが、画素列毎に垂直方向に配線された信号線によって供給される。

【0007】これらの配線は、例えば A1 多層配線が形成されている。フォトダイオード PD に多くの光を導入するためには、フォトダイオード PD の開口率を上げる必要があり、フォトダイオード PD の上方には、できるだけ信号線を配置しないようにレイアウトされている。そして、この配線層の上方には、オンチップレンズ (OCL) を配置して開口率を上げる工夫がなされる。また、カラー信号を得るためのカラーフィルタが各フォトダイオード PD に対応して配線層上に配置される。また、MOS トランジスタ $T_{r1} \sim T_{r4}$ による回路部に光が入射しないようにするための遮光膜が配置されている。

【0008】

【発明が解決しようとする課題】ところで、被写体をレンズにより結像して撮像する固体撮像装置においては、シェーディングによる周辺減光の問題がある。具体的には、信号線などのチップ上の構造物による斜め光成分の乱反射により、画面中央部に比べて周辺部でフォトダイオードへの入射光量や光電変換効率が低下するという問題である。特に近年はカメラ機能部品の小型化の要求から瞳距離の短い光学系が望まれるが、その場合、画面周辺の画素において斜めに入射する光の成分が信号線によって遮られるため、感度が低下し、シェーディングによる画質劣化が顕著になってしまう。

【0009】そこで従来は、瞳補正と称して、例えば特開 2000-150849 号公報に開示されるように、撮像領域の周辺部寄りの領域において斜め光がフォトダイオードに集光されるように、オンチップレンズや遮光膜の開口の位置を補正し、シェーディングを軽減している。具体的には、フォトダイオードから見て光が入射する方向にオンチップレンズおよび遮光膜開口を配置する。

【0010】しかし、CCD 型の固体撮像素子であれば、画面内には多層配線が無く、フォトダイオード以外の領域を覆うための遮光膜以外には光をさえぎるものがない。従って、瞳補正によるシェーディング低減が効果的である。図 11 は、CCD 型の固体撮像素子の積層構造を示しており、シリコン基板 20 の表層部にフォトダイオード PD が設けられている。そして、このシリコン基板 20 の上部に CCD の転送電極となる第 1 層目の配線層 21 が形成され、その上に所定膜厚の絶縁膜 23 を介して第 2 層目の配線層 22 が積層されている。そし

て、その上に平坦化膜 24 等を介してカラーフィルタ 25 およびオンチップレンズ 26 が配置されている。

【0011】これに対し、増幅型の固体撮像素子では、画面内に少なくとも 2 層、望ましくは 3 層以上の多層信号線が必要である。図 12 は、増幅型の固体撮像素子の積層構造を示しており、シリコン基板 30 の表層部にフォトダイオード PD が設けられ、このシリコン基板 30 の上部にそれぞれ所定膜厚の絶縁膜 31 を介して 3 層の配線層 32、33、34 が積層され、その上に平坦化膜 35 等を介してカラーフィルタ 36 およびオンチップレンズ 37 が配置されている。すなわち、図 11 に示す CCD 型撮像素子の積層構造に比較して、より膜厚の大きい多層構造となっている。

【0012】このため上述した特開 2000-150849 号公報に開示されるように、遮光膜やオンチップレンズのみの位置補正ではシェーディング改善の効果は小さい。また、最上層の信号線はフォトダイオードの表面から $3\mu\text{m}$ から $5\mu\text{m}$ 程度上層にあるのが普通である。この段差は $0.25\mu\text{m}$ ゲート長世代のプロセス技術用いて製造した増幅型撮像素子の画素サイズとほぼ等しいため、瞳補正を行っても信号線によって斜め入射光が遮られ、特に短射出瞳距離の場合においてシェーディング抑制が十分にできない。以上のように、従来の増幅型撮像素子においては、PD 表面と信号線との間に画素サイズと同等の段差があるため、瞳補正を行っても撮像領域の周辺部寄りの領域でシェーディングが大きいという問題があった。

【0013】そこで本発明の目的は、2 次元配列された光電変換手段の受光面の層に配置される多層信号線による入射光の乱反射を抑えることができ、特に撮像領域の周辺部近傍における受光感度の改善を図ることができる固体撮像素子及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】本発明の固体撮像素子は、前記目的を達成するため、半導体基板に光電変換素子とゲート素子を含む複数の単位画素を 2 次元アレイ状に配列した撮像領域を設けるとともに、前記半導体基板上に各単位画素の受光用開口部を避ける状態で単位画素の行方向、または列方向、または格子状に複数層の信号線を配置した固体撮像素子において、前記撮像領域の中心部から周辺部に行くに従って前記各単位画素に対する前記信号線の相対位置が撮像領域の中心に近づく方向にずれていることを特徴とする。

【0015】また、本発明の固体撮像素子の製造方法は、半導体基板に光電変換素子とゲート素子を含む複数の単位画素を 2 次元アレイ状に配列した撮像領域を設けるとともに、前記半導体基板上に各単位画素の受光用開口部を避ける状態で単位画素の行方向、または列方向、または格子状に複数層の信号線を配置した固体撮像素子

の製造方法において、前記複数層の信号線を形成する場合に、前記撮像領域の中心部から周辺部に行くに従って前記各単位画素に対する前記信号線の相対位置を撮像領域の中心に近づく方向にずらして形成することを特徴とする。

【0016】また、本発明の携帯機器は、半導体基板に光電変換素子とゲート素子を含む複数の単位画素を2次元アレイ状に配列した撮像領域を設けるとともに、前記半導体基板上に各単位画素の受光用開口部を避ける状態で単位画素の行方向、または列方向、または格子状に複数層の信号線を配置した固体撮像素子を搭載した携帯機器において、前記固体撮像素子は、その撮像領域の中心部から周辺部に行くに従って前記各単位画素に対する前記信号線の相対位置が撮像領域の中心に近づく方向にずれていることを特徴とする。

【0017】本発明の固体撮像素子では、撮像領域の中心部から周辺部に行くに従って各単位画素に対する信号線の相対位置が撮像領域の中心に近づく方向にずれていることから、撮像領域の周辺部近傍における斜めの入射光を有効に光電変換手段の受光部に入射させることができ、受光感度の改善を図ることができる。また、本発明の製造方法では、撮像領域の中心部から周辺部に行くに従って各単位画素に対する信号線の相対位置が撮像領域の中心に近づく方向にずらして形成することにより、撮像領域の周辺部近傍における斜めの入射光を有効に光電変換手段の受光部に入射させることが可能な固体撮像素子を製造することができ、受光感度の改善した固体撮像素子を提供できる。

【0018】さらに、本発明の携帯機器では、固体撮像素子を搭載し、この固体撮像素子が撮像領域の中心部から周辺部に行くに従って各単位画素に対する信号線の相対位置が撮像領域の中心に近づく方向にずれていることから、光学系を小型化した場合にも、撮像領域の周辺部近傍における斜めの入射光を有効に光電変換手段の受光部に入射させることができ、受光感度の改善を図ることができるため、固体撮像素子をコンパクトに搭載でき、携帯機器の小型化を図ることが可能となる。

【0019】

【発明の実施の形態】以下、本発明による固体撮像素子及びその製造方法の実施の形態例について説明する。本実施の形態による固体撮像素子は、回路構成については上記図10で示した従来例と同様の増幅型固体撮像素子であるが、その素子構造、特に各単位画素と周辺回路とを接続している信号線（上層配線層）の位置関係が従来例と異なっている。図1は、本実施の形態による固体撮像素子の素子構造、特にフォトダイオードPDと信号線との位置関係を示す部分断面図であり、図1（A）は撮像領域の中心部近傍の画素における素子構造、図1

（B）は撮像領域の中心部と周辺部との中間に位置する画素における素子構造、図1（C）は撮像領域の周辺部

近傍の画素における素子構造を示している。

【0020】図示のように、この固体撮像素子においては、シリコン基板40の表層部にフォトダイオードPDが設けられ、このシリコン基板40の上部にそれぞれ所定膜厚の絶縁膜41を介して3層の配線層（信号線）42、43、44が積層され、その上に平坦化膜（パッシベーション膜）45等を介してカラーフィルタ46およびオンチップレンズ47が配置されている。そして、図1（A）に示すように、撮像領域の中心部近傍の画素では、フォトダイオードPDの上方を避けるように信号線を配置する。また、図1（B）（C）に示すように、撮像領域の周辺部に近づくにつれて、画素の信号線を、中心部近傍の画素に比べて光が入射してくる方向に配置し、画素への斜め入射光をできる限り多くフォトダイオードPDに到達させる。

【0021】図2は、フォトダイオードPDと信号線との平面方向の位置関係を示す平面図である。図示のように、この固体撮像素子において、シリコン基板40に2次元マトリクス状にフォトダイオードPDが配置されており、そのシリコン基板40の上部に行方向の信号線44Aと列方向の信号線44Bが配置されている。各フォトダイオードPDは、行方向および列方向に一定の間隔で配置されているが、各信号線44A、44Bの位置は、各フォトダイオードPDに対して撮像領域の中心部と周辺部とで位置関係がずれている。すなわち、撮像領域の中心部の画素では、フォトダイオードPD中心に対して各信号線44A、44Bの間の中心位置が一致している。また、撮像領域の周辺部側の画素では、信号線44A、44Bが撮像領域の中心方向にずれている。

【0022】次に、このような固体撮像素子の製造方法について説明する。まず、イオン注入と熱拡散によりp型半導体層のpウェル、あるいはn型半導体層のnウェルを形成する。その後、素子分離領域を形成し、各MOSトランジスタのしきい値を決めるためのイオン注入を行い、ポリシリコン等でゲート層などを形成する。次いで、レジスト塗布、パターニングを行い、リンなどのn型半導体層を形成するイオンを、例えば0.8MeVのエネルギーで $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で、イオン注入法により基板に打ち込み、フォトダイオードPDを形成する。次いで、PSGなどの酸化シリコン材料で層間膜を形成する。次いで、コンタクトホールを開孔し、タングステンを埋め込み、コンタクトを形成する。次いで、アルミ等の導電膜を、例えば400nm堆積し、パターニングを行い、1層目の信号線を形成する。次いで、コンタクト形成と信号線の形成を繰り返して、所望の層数の多層配線を形成する。

【0023】増幅型固体撮像素子では、水平方向と垂直方向の信号線を形成するために、最低でも2層の多層配線が必要である。また、撮像領域の周辺に配置されている信号処理回路や画素の微細化のためには3層の多層配

線が効果的であるし、さらに複雑な信号処理を行う回路を混載するためには4層以上の多層配線が有効であり、配線層数は製品の種類によって異なる。たとえば、アルミで3層配線を形成する場合にはフォトダイオードPDから3層目配線までの高さは5 μ m程度が普通である。

【0024】そして、本実施の形態では、信号線のパターンニング時に使用するマスクにおいて、信号線の画素内に配置されるフォトダイオードPDと信号線の位置関係が、撮像領域の中央近傍の画素と周辺部側の画素とで異なるようなパターンを用いる。具体的には、中央近傍の画素ではフォトダイオードPDの上方に信号線が配置されないように各層の信号線を配置し、周辺部側の画素では、縦（垂直）方向の信号線は撮像領域の右側では左方向、左側では右方向にずれており、横（水平）方向の信号線は撮像領域の上側では下方向、下側では上方向にずれている。なお、理想的には、隣接画素間で信号線のズレ量が緩やかに変化するのが理想的である。このようなマスクを用いてパターンニングすると、信号線をフォトダイオードPDの位置に対してずらして形成することができる。

【0025】また、コンタクトホールのパターンニング時に使用するマスクにおいては、上記のように単位画素に対する信号線の相対位置が画素によって異なるので、信号線の位置に対応してコンタクトの位置をずらすことが必要である。また、単に信号線のズレに合わせてコンタクトをずらすだけでは接続できない場合も生じる。そこで、このような場合には、新たに配線素片を配置して正しく信号線と接続する。また、この場合には、隣接画素間で配線素片の形状が緩やかに変化するように形成する。すなわち、配線素片の形状を隣接画素間で急激に変化させると、画素間特性差が大きくなり、画質劣化の原因となるからである。この後、従来の方法でパッシベーション膜（SiNなど）を堆積し、さらにオンチップフィルタやオンチップレンズを形成することで、本実施の形態による固体撮像装置が完成することになる。このような増幅型固体撮像素子では、フォトダイオードの受光面に結像する光学系を配置して用いることが望ましい。そして、この光学系のF値は有限の値をとり、瞳中心は画面（撮像領域）の中央位置の上方になるようにする。

【0026】続いて、本実施の形態例に示した増幅型撮像素子の特性面での特徴を従来例と比較しながら説明する。まず、撮像領域（画面）の中心部の画素では、フォトダイオードPD上方には信号線が存在しない領域があり、中心画素の上方に瞳中心がある。このため、図1

(A)に示すように、画面中心では主要な光の成分aはほぼ垂直に受光面に入射し、信号線が存在しない領域を通過してフォトダイオードPDに到達できる。この画面中心では従来例と本例との違いはなく、光を効率よくフォトダイオードPDに導入できる。

【0027】一方、画面周辺部の画素では、瞳中心が斜

め上方に位置し、主要な光の成分aが瞳から斜めに入射する（図1（B）（C））。上記従来例のように、フォトダイオードPDの上方を避けて信号線を配置しても、斜め入射光の光路上に信号線が配置されることになり、フォトダイオードPDの入射光を遮ってしまう。しかし、本例では、信号線が存在しない領域が光の入射方向にあるので、光を効率よくフォトダイオードPDに導くことができる。結果として、周辺画素での減光の少ない、すなわちシェーディングの少ないフォトダイオードPDを製造できる。また、製造工程の上でも変更点はなく、信号線を形成する際に用いるマスクにおいて、信号線を所望の形状に設計するのみで容易に実現できるという利点がある。

【0028】なお、本発明は上述した各実施の形態例に限定されるものではない。1つの画素となる基本セルの回路構成は図10に示したものに何ら限定されるものではなく、光電変換部で得られた信号電荷を増幅して取り出すことのできる構成であればよい。また、画面周辺の画素における金属膜による開口中心のずれ量や開口面積増大量等の条件は、適宜に定めればよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0029】次に、以上のような本実施の形態例による固体撮像素子のより具体的な実施例および応用例について説明する。

(1) 上述のように図1に示す実施例は、従来の瞳補正でオンチップレンズをずらすのと同様な原理で信号線をずらすことにより、フォトダイオードPDへの入射光量を増加させるようにしたものである。撮像素子に結像する光学系の瞳中心は撮像素子の画面中心の直上にある場合がほとんどであるので、信号線は画面の中心方向にずらし、そのずれ量は画面端に行くほどずれ量を大きくしていくのが好ましい。ただし、画面の一部のみ、たとえば、中心部分はずらさず、周辺部近傍部分だけをずらすだけでも、シェーディングの大きい画面周辺部近傍でのシェーディングが軽減され、画質の向上が達成される。

【0030】(2) 従来例で示したように、一部の信号線は電源電位やグランド電位を供給するために、すべての単位画素に接続されている。その場合は、網状に信号線を形成し、網目に相当する開口部から各単位画素のフォトダイオードPDに光を導入する。この場合でも、信号線パターンを画面中心部に向かってずらすことで、シェーディングが改善される。

(3) 例えば0.25ミクロン世代の素子では、配線幅が0.40ミクロン、ビアコンタクト径が0.34ミクロン程度となる。単純に信号線だけを1ミクロンずらすと、ビアコンタクトと接続できないため、画素は動作できない。そこで、信号線をずらしても接続を保つための構造として、図3に示すように、信号線50A、50B

がずれる方向に長径の断面を有するビアコンタクト52を形成し、信号線がどこにずれても、ビアコンタクトと信号線とを接触できるようにする。

(4) または、図4に示すように、新たな配線素片54を配置して、ビアコンタクト56と信号線50A、50Bを接続する。なお、配線素片54の形状は全画素で同一にするとよい。

【0031】(5) また、この配線素片を全画素で同一形状にする場合、信号線のずれの範囲内でどのようにずれても接続が保たれるような大きさにしなければならない。つまり、一部のずれ量が大きい場合には、全ての配線素片を大きくしなければならず、配線素片が光を遮ってしまう。そこで、こういった場合には、配線素片の形状を画素ごとに変化させることで、配線素片を小さくする。図5は、ずれ量が大きい場合に配線素片の形状を変化させてビアコンタクトと信号線を接続する場合の一例を示す平衡断面図である。図4に示すようなずれ量を有する領域では小さい配線素片54を用い、図5に示すように、ずれ量が大きい領域では大きい配線素片58を用いて接続する。

【0032】(6) 信号線のずらし量は画面中心から端に行くにしたがって徐々に大きくすることが好ましい。このため、ずらし量を細かく設定する必要がある場合が多い。たとえば、4 μ mピッチの画素アレイで、射出瞳距離が数10～数mmであれば、1画素あたり0.1から1nm程度の小さいずらし量の最適値となる。つまり、信号線のピッチは3.9999 μ mから3.9990 μ mというように細かく設定する必要がある。そして、このように半端な数値を取り扱う場合、設計作業は現在入手可能なCADツールで問題ないが、マスクの作成に問題がある。つまり、このマスク作成作業は、マスク描画機を用いて描画グリッド(単位格子)でマスクパターンを設定していくものであるが、たとえば、よく用いられるJEOJ社製のマスク描画機ALTAでは最小描画グリッドが20nmであるから、5倍マスクの場合、20/5=4nmが半導体基板上にパターンニング後の最小グリッドとなり、0.1から1nm程度の小さいずらし量で信号線を形成することができない。

【0033】そこで、この対策として、ずらし量の丸めを行い、最小グリッドに乗らない信号線をグリッドに載せるようにする。上述のように、ずらし量は隣接する画素間で大きく変化しないことが重要であるが、たとえば、最小グリッド4nmで0.5nm/pixelのずらしを行うと、8画素ごとに4 μ mずつずらし量が増加することになる。この場合、8画素ごとに特性が変化してしまい、撮像結果に8画素ごとの縦筋が現れて問題となることが懸念されるが、最小グリッドが画素サイズの0.5%以下であれば、縦筋は認識できない程度であり、問題にならないことが分かった。また、画素ピッチは最小グリッドの整数倍としてグリッドに載るようにするのが

設計上便利である。

【0034】(7) 信号線の位置合わせずれにより設計どおりの位置に信号線が形成できないと、信号線により光が遮られ感度が低下する。そこで、普通は多層配線は直下の層に位置合わせを行うのであるが、より下の層に対して合わせを行うことにより、全体の位置合わせずれ量を減らすことができる。図6は、多層配線を直下の層を基準として各層の位置合わせを行う場合の手順を示すフローチャートである。図示のように、シリコン基板の素子分離領域(S1)を位置合わせの基準として、イオン注入(S2)とゲート形成(S3)を行う。その後、各層のコンタクト(1MC、2MC、3MC)と配線層(1MT、2MT)を直下の層を位置合わせの基準として形成し(S4～S8)、さらに遮光膜(3MT)、カラーフィルタ、オンチップレンズを直下の層を位置合わせの基準として形成する(S9～S11)。

【0035】また、図7は、多層配線を直下でなく、より下層を位置合わせの基準として各層の位置合わせを行う場合の手順を示すフローチャートである。図示のように、通常のアルミ配線ならば、コンタクトの全層をゲート層に合わせるようにするとよい。この位置合わせのために、たとえば全層のコンタクトに対する合わせマークをゲート層に形成しておく。また、通常のアルミ配線プロセスを用いる場合は、アルミ配線層は直下のコンタクト層にしか合わせられないので、図示のように各コンタクト層をゲート層などに合わせ、その上のアルミ配線層は直下のコンタクト層に合わせるようにする。

【0036】すなわち、図7において、シリコン基板の素子分離領域(S21)を位置合わせの基準として、イオン注入(S22)とゲート形成(S23)を行う。その後、第1層目のコンタクト(1MC)をゲート層に位置合わせして形成し(S24)、このコンタクト(1MC)に第1層目の配線層(1MT)を位置合わせして形成する(S25)。次に、第2層目のコンタクト(2MC)をゲート層に位置合わせして形成し(S26)、このコンタクト(2MC)に第2層目の配線層(2MT)を位置合わせして形成する(S27)。

【0037】次に、第3層目のコンタクト(3MC)をゲート層に位置合わせして形成し(S28)、このコンタクト(3MC)に遮光膜(3MT)を位置合わせして形成する(S29)。さらに、カラーフィルタ、オンチップレンズをゲート層に位置合わせして形成する(S30、S31)。このような位置合わせ方法は、信号線をずらさない場合にも効果があるが、特に信号線をずらす場合に効果が大きいものである。なお、本例では全コンタクト層をゲート層に対して位置合わせマークを設けて位置合わせしたが、例えば素子分離領域やバルクコンタクトに対して全配線層に位置合わせマークを設けて位置合わせを行うようにしてもよい。また、このような方法は埋め込み配線などの場合には必ずしも採用しないものと

する。

【0038】(8) 通常の増幅型固体撮像素子は、水平方向、垂直方向の画素選択信号線のドライバや読み出し信号線のからの信号処理回路等の周辺回路を配置する。これらの回路は、画素アレイの行や列ごとに必要であるため、便宜上、画素ピッチと同じピッチで画素の周囲に配置するのがもっとも便利である。しかし、本例のように信号線をずらす場合、信号線の位置と周辺回路の位置がずれて、周辺回路のつなぎ部分が接続できない問題がある。そこで信号線と周辺回路との間に配線素片を配置して、信号線を周辺回路と接続する。図8は、この配線例を示す説明図である。図示のように、撮像領域(画素アレイ)60から引き出された各信号線62は、それぞれ周辺回路64に導かれるが、図示の例では、各周辺回路64側に配線素片66を設け、各周辺回路64内の配線64Aと各信号線62とを接続している。

【0039】(9) 信号線のずらし量を上層の配線層にいくほど大きくすると、斜め光が効率よく入射するため感度が向上する。図9は、このようなずらし構造を一例を示す断面図である。なお、図1と共通する構成には同一符号を付してある。図1に示す例では、2層目の配線層(信号線)43と3層目の配線層(信号線)44がずれない例を示したが、図9に示すように、2層目の配線層(信号線)43と3層目の配線層(信号線)44とをずらすことにより、さらに有効な素子配置を得ることができ、感度を向上することができる。また、図9に示す例において、上層のオンチップレンズ47やカラーフィルタ46を配置する場合に、それらを信号線と同様にずらして、ずらし量は上層にいくほど大きくするとよい。

【0040】以上に記した構造の固体撮像素子は、特に瞳孔射出距離が短い光学系と組み合わせると効果が大きい。増幅型の固体撮像素子は、A/D回路や画像信号処理をワンチップ化できることもあり、レンズ系を含めた撮像システムを小さく形成することができる。そして、このような撮像システムは、携帯機器に搭載すると機器全体を小型化でき都合がよい。特に近年は、携帯電話など通信機能を備えた携帯機器への撮像機能の搭載が始まっており、上述のような実施の形態で説明した固体撮像素子を搭載した携帯機器についても本発明の範囲に含まれるものとする。また、以上の説明では、増幅型固体撮像素子について本発明を適用したが、上部配線層の少ない固体撮像素子(例えばCCD型固体撮像素子)についても本発明を適用し得るものであり、このような固体撮像素子にも本発明の範囲に含まれるものとする。

【0041】以上詳述したように本実施の形態によれば、増幅型固体撮像装置において、垂直、水平、あるいは網状の信号線を光が入射してくる方向にずらすことによって画面周辺の感度低下を抑制することができる。また、信号線をずらす際に、ずらし量を工夫することで、製造コストの増加は最小限になる。また、同時にオンチ

ップカラーフィルタやオンチップマイクロレンズをずらすことで、さらに画面周辺の感度低下を抑制できる。また、本実施の形態による撮像素子を用いれば、射出瞳孔距離を短くできるため、各種の携帯機器に搭載することによって、機器の小型化が可能となり、携帯機器の付加価値を向上できる。

【0042】

【発明の効果】以上説明したように本発明の固体撮像素子によれば、撮像領域の中心部から周辺部に行くに従って各単位画素に対する信号線の相対位置が撮像領域の中心に近づく方向にずれていることから、撮像領域の周辺部近傍における斜めの入射光を有効に光電変換手段の受光部に入射させることができ、受光感度の改善を図ることができる。

【0043】また、本発明の製造方法によれば、撮像領域の中心部から周辺部に行くに従って各単位画素に対する信号線の相対位置が撮像領域の中心に近づく方向にずらして形成することにより、撮像領域の周辺部近傍における斜めの入射光を有効に光電変換手段の受光部に入射させることが可能な固体撮像素子を製造することができ、受光感度の改善した固体撮像素子を提供できる。

【0044】さらに、本発明の携帯機器によれば、搭載した固体撮像素子が撮像領域の中心部から周辺部に行くに従って各単位画素に対する信号線の相対位置が撮像領域の中心に近づく方向にずれていることから、光学系を小型化した場合にも、撮像領域の周辺部近傍における斜めの入射光を有効に光電変換手段の受光部に入射させることができ、受光感度の改善を図ることができるため、固体撮像素子をコンパクトに搭載でき、携帯機器の小型化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態例による固体撮像素子の単位画素における素子構造を示す部分断面図である。

【図2】図1に示す固体撮像素子のフォトダイオードPDと信号線との平面方向の位置関係を示す平面図である。

【図3】図1に示す固体撮像素子の信号線とビアコンタクトの一例を示す部分平面図である。

【図4】図1に示す固体撮像素子のビアコンタクトと信号線を接続する配線素片の一例を示す部分平面図である。

【図5】図1に示す固体撮像素子のビアコンタクトと信号線のずれ量が多い場合の配線素片の形状例を示す部分平面図である。

【図6】図1に示す固体撮像素子の製造方法において多層配線を直下の層を基準として各層の位置合わせを行う場合の手順を示すフローチャートである。

【図7】図1に示す固体撮像素子の製造方法において多層配線を直下でなく、より下の層を基準として各層の位置合わせを行う場合の手順を示すフローチャートであ

る。

【図 8】図 1 に示す固体撮像素子の撮像領域の信号線と周辺回路の信号線との配線例を示す説明図である。

【図 9】本発明の他の実施の形態例による固体撮像素子の単位画素における素子構造を示す部分断面図である。

【図 10】増幅型固体撮像素子の単位画素の回路構成を示す回路図である。

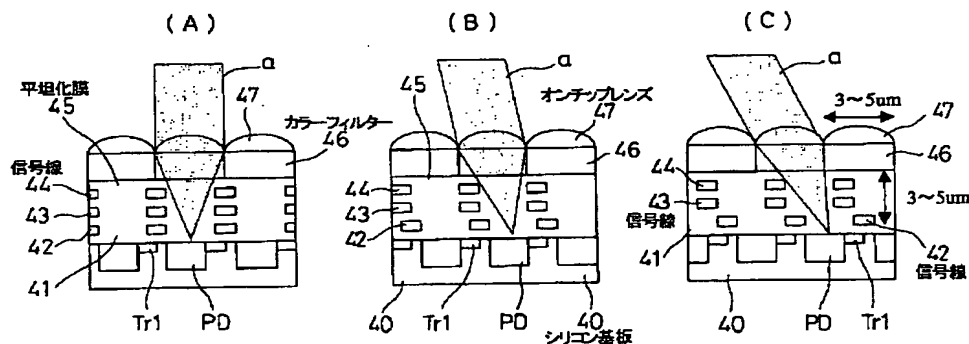
【図 11】従来の CCD 型固体撮像素子に対する斜め入射光の一例を示す部分断面図である。

【図 12】従来の増幅型固体撮像素子に対する斜め入射光の一例を示す部分断面図である。

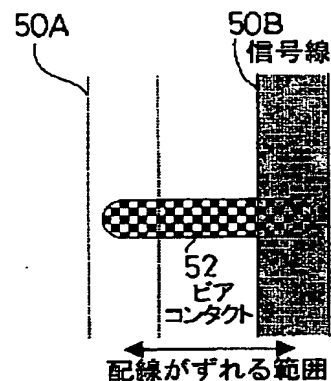
【符号の説明】

PD……フォトダイオード、40……シリコン基板、41……絶縁膜、42、43、44、44A、44B、50A、50B……配線層（信号線）、45……平坦化膜、46……カラーフィルタ、47……オンチップレンズ、52、56……ビアコンタクト、54、58……配線素片。

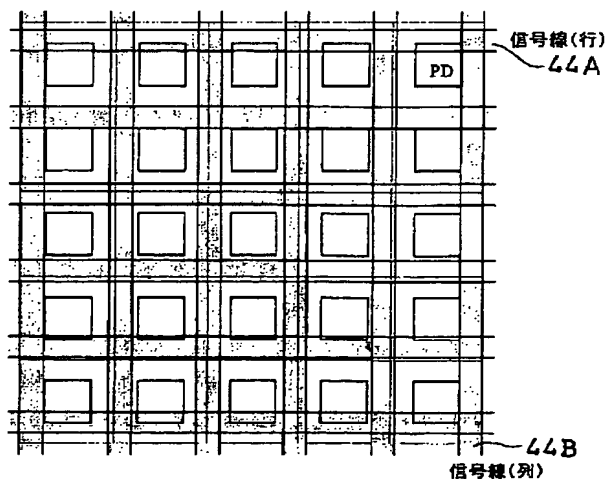
【図 1】



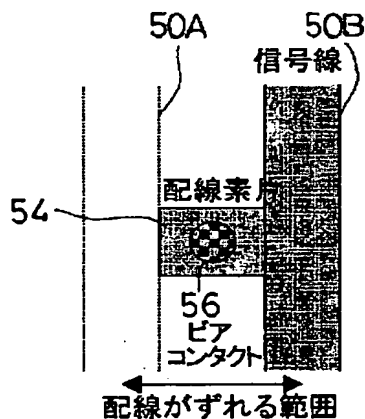
【図 3】



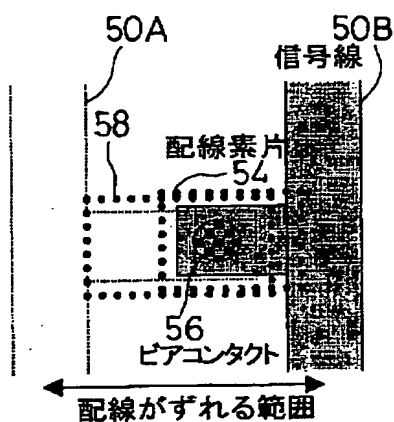
【図 2】



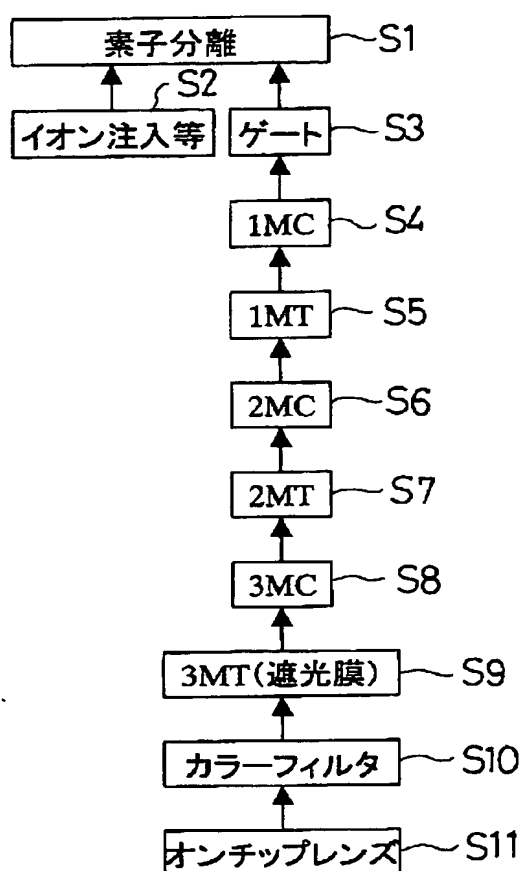
【図 4】



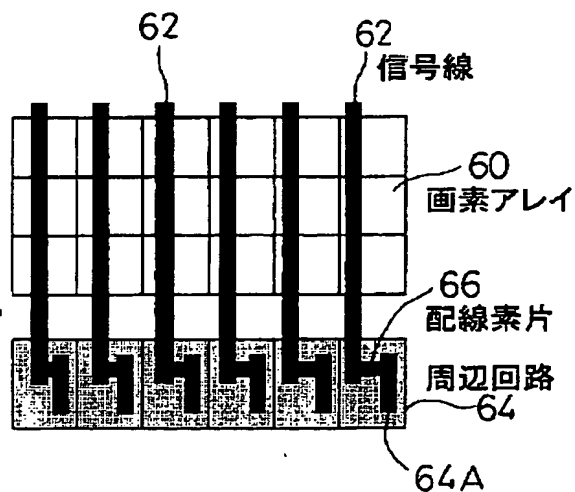
【図5】



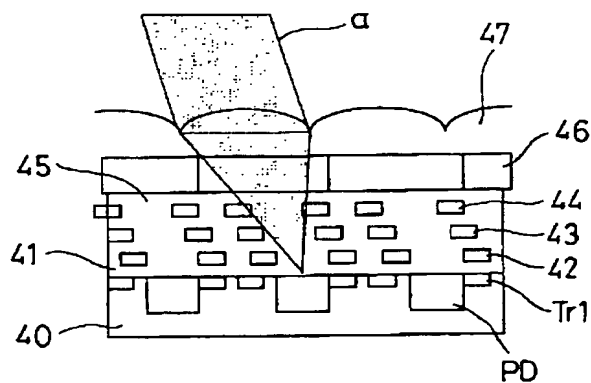
【図6】



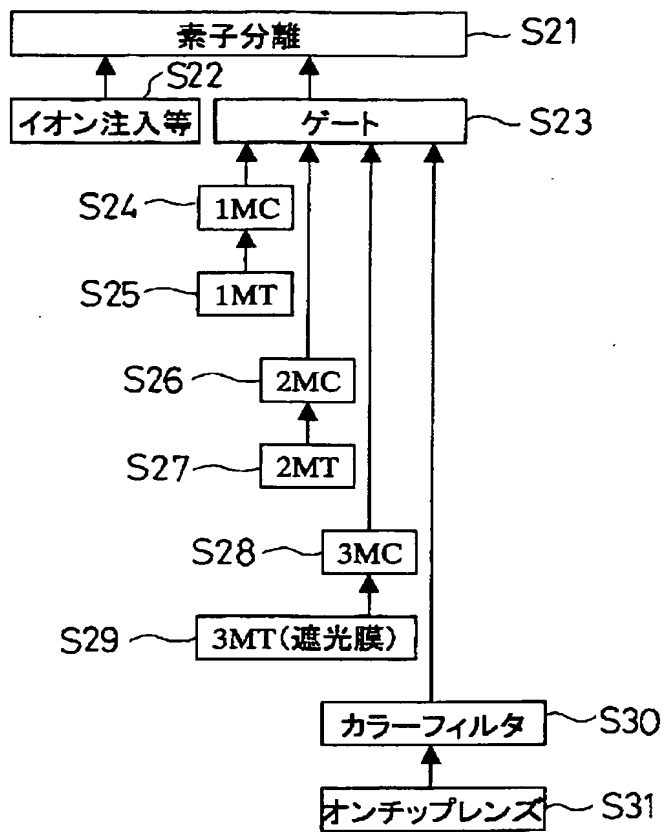
【図8】



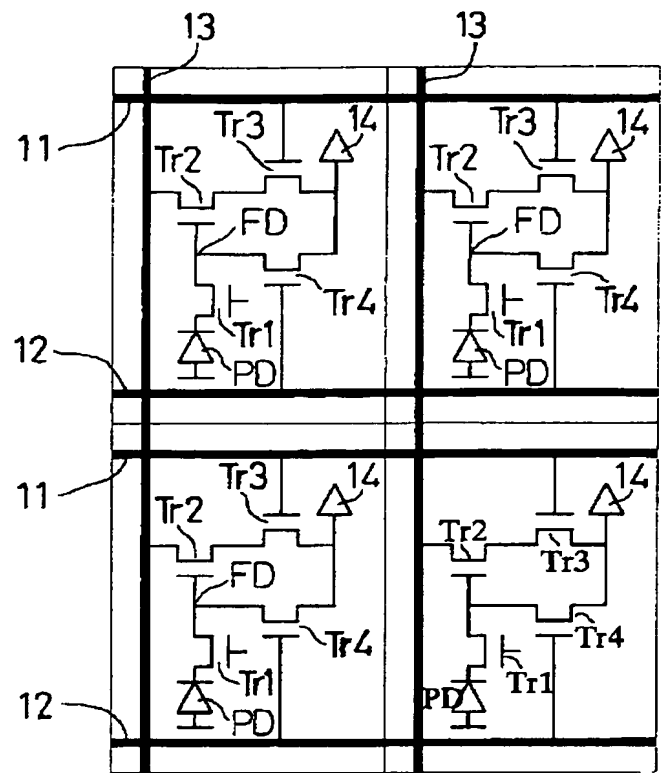
【図9】



【図7】

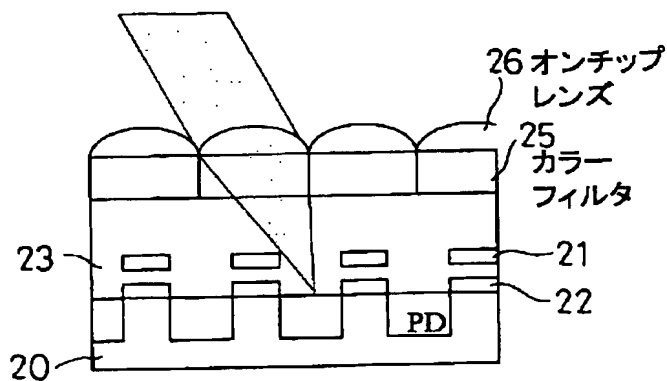


【図10】



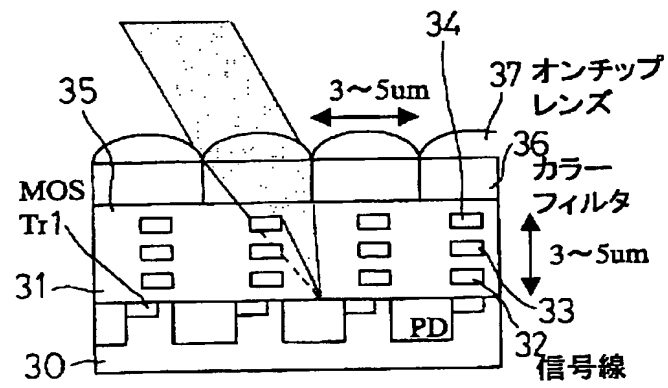
画素回路図(2x2画素)

【図11】



斜め入射光の様子(CCD型)

【図 12】



斜め入射光の様子(増幅型)